

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 6月21日

出 願 番 号

Application Number:

特願2002-181459

[ST.10/C]:

[JP2002-181459]

出 願 人

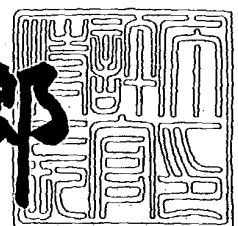
Applicant(s):

株式会社半導体理工学研究センター

2002年12月 6日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2002-3096664

【書類名】 特許願

【整理番号】 A000202875

【提出日】 平成14年 6月21日

【あて先】 特許庁長官 殿

【国際特許分類】 G01R 31/00

【発明の名称】 半導体特性評価装置

【請求項の数】 15

【発明者】

【住所又は居所】 神奈川県大和市林間 2 - 2 2 - 1 3 キャロットハイツ  
A 3 0 2

【氏名】 大川 眞一

【発明者】

【住所又は居所】 埼玉県所沢市東所沢 3 - 2 4 - 2 0

【氏名】 青木 正和

【特許出願人】

【識別番号】 396023993

【氏名又は名称】 株式会社 半導体理工学研究センター

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9810816

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体特性評価装置

【特許請求の範囲】

【請求項 1】 半導体集積回路を構成する各要素の、要素ごとに種類の異なる複数の被測定パターンをそれぞれに有し、チップ上に格子状に配置された複数の測定ユニットと、

前記複数の測定ユニット上に配設され、前記複数の被測定パターンとの接続により、前記各要素の測定項目に応じた測定回路系を構成する測定用バス群と、

前記チップ上の、前記複数の測定ユニットの配置領域以外の領域に配置され、測定機器が接続される複数の測定用パッドと、

前記各要素の測定項目に応じて、その測定項目に応じた測定回路系を前記測定用バス群より選択し、前記複数の測定用パッドに接続する複数の選択スイッチと

前記複数の選択スイッチの切り替えを、前記各要素の測定項目に応じて電氣的に制御する制御回路と

を具備したことを特徴とする半導体特性評価装置。

【請求項 2】 前記半導体集積回路を構成する各要素は、抵抗、容量、トランジスタなどの半導体素子または半導体素子を含む集積回路であり、構造、サイズ、形状などが異なる複数の半導体素子または複数の集積回路によって、前記複数の被測定パターンが形成されていることを特徴とする請求項 1 に記載の半導体特性評価装置。

【請求項 3】 前記半導体集積回路を構成する各要素の一つは遅延回路であり、遅延時間が異なる複数の遅延回路によって、前記複数の被測定パターンが形成されていることを特徴とする請求項 1 に記載の半導体特性評価装置。

【請求項 4】 前記複数の測定ユニットは、それぞれ、数百  $\mu\text{m}$  角程度の大きさを有し、数十ないし数百種の被測定パターンを搭載していることを特徴とする請求項 1 に記載の半導体特性評価装置。

【請求項 5】 前記複数の測定ユニットは、それぞれ、前記複数の被測定パターンを要素ごとに搭載するために、複数のエリアに分割されていることを特徴

とする請求項1または4に記載の半導体特性評価装置。

【請求項6】 前記測定用バス群は、ストライプ形状に配設された第1のバスとメッシュ形状に配設された第2のバスとを有して構成されていることを特徴とする請求項1に記載の半導体特性評価装置。

【請求項7】 前記第2のバスは、縦方向バスと横方向バスとが相互に接続されて、同一電位に固定されることを特徴とする請求項6に記載の半導体特性評価装置。

【請求項8】 前記第2のバスは、複数のグループに分割されていることを特徴とする請求項6または7に記載の半導体特性評価装置。

【請求項9】 前記制御回路は、前記チップの外周部に配置されていることを特徴とする請求項1に記載の半導体特性評価装置。

【請求項10】 前記半導体集積回路を構成する各要素の一つはMOSトランジスタを含む集積回路であり、複数の集積回路によって形成される複数の被測定パターンのうち、すべてのトランジスタのソースおよびドレインは、直接、前記測定用バス群のメッシュ形状に配設された第2のバスに接続され、選択トランジスタのゲートは、スイッチ回路を介して、ゲートバイアス印加用に割り当てられた前記第2のバスに接続され、非選択トランジスタのゲートは、スイッチ回路を介して、前記チップの外部より電位が独立に制御される、オフバイアス印加用に割り当てられた前記第2のバスに接続されていることを特徴とする請求項1に記載の半導体特性評価装置。

【請求項11】 前記半導体集積回路を構成する各要素の一つは容量を含み、CBCM法により構成された集積回路であり、複数の集積回路によって形成される複数の被測定パターンの駆動用クロック信号を、前記測定用バス群のストライプ形状に配設された第1のバスを介して供給し、前記CBCM法によって容量-電流変換された測定電流を、前記測定用バス群のストライプ形状に配設された第1のバスを介して出力するように構成されていることを特徴とする請求項1に記載の半導体特性評価装置。

【請求項12】 前記駆動用クロック信号が供給される前記第1のバスは、寄生容量が0.1 pF/mm程度に低容量化された低容量化配線を用いて構成さ

れ、前記測定電流が出力される前記第 1 のバスは、寄生容量が  $0.12 \text{ pF/mm}$  程度に低容量化され、かつ、配線抵抗が  $50 \Omega/\text{mm}$  程度に低抵抗化された低容量・低抵抗化配線を用いて構成されることを特徴とする請求項 11 に記載の半導体特性評価装置。

【請求項 13】 前記複数の集積回路によって形成される複数の被測定パターンと、前記測定電流が出力される前記第 1 のバスとの間には、測定ユニットごとに共通の選択回路が挿入されていることを特徴とする請求項 11 に記載の半導体特性評価装置。

【請求項 14】 前記選択回路は p 型 MOS トランジスタによって構成され、この p 型 MOS トランジスタのウェルとソースとの間、および、この p 型 MOS トランジスタが接続される、前記複数の集積回路によって形成される複数の被測定パターンの各 p 型 MOS トランジスタのウェルとソースとの間が、それぞれ接続されていることを特徴とする請求項 13 に記載の半導体特性評価装置。

【請求項 15】 前記複数の測定ユニットは、 $n$  個 ( $n > 1$ ) の測定ユニットを単位として、前記エリアの一部が共有化されていることを特徴とする請求項 5 に記載の半導体特性評価装置。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

この発明は、半導体特性評価装置に関するもので、特に、半導体集積回路（以下、LSI と記す）における素子の特性ばらつきや回路の特性ばらつきを評価する素子特性・回路特性評価装置に関する。

##### 【0002】

#### 【従来の技術】

$0.1 \mu\text{m}$  世代以降の LSI においては、素子パラメータのばらつきを考慮することが極めて重要になる。LSI の微細化・低電圧化にともない、素子パラメータのばらつきの影響が顕在化してくるためである。

##### 【0003】

この素子パラメータのばらつきを設計に正確に取り込むためには、LSI チッ

プ内、ウェハ面内、ウェハ間、ロット間にわたる、大規模な素子パラメータのばらつきの評価が必要である。特に、LSIチップ内の素子パラメータのばらつきの評価は、LSIチップ全体の回路特性のばらつきを正確に見積もるためにも重要である。

#### 【0004】

従来は、ばらつきを評価する素子の特性を個々に測定していた。この場合、測定に必要な素子評価パターンのすべてをチップ上に配置し、評価チップとする。通常、素子評価パターンは、一つの大きさが数百 $\mu\text{m}$ 角程度の面積を必要とする。そのため、1チップないし数チップを使用して、測定項目数に応じた素子評価パターンのすべてを搭載する。そして、測定時には、順次、評価チップを機械的に移動させながら個々の素子評価パターンを探針する。

#### 【0005】

このような従来の方法には、以下のような5つの欠点があった。

#### 【0006】

1) 素子評価パターンの面積が大きいため、評価チップの製造コストが高価なものになる。また、素子評価パターンが広い面積にわたって搭載されるため、素子間のばらつきの相関が、素子の特性によるものなのか、距離やチップ上の位置の違いによるものなのかを区別するのが困難になる。

#### 【0007】

2) 評価チップのレイアウトは、通常のLSIとは掛け離れたものとなってしまふ。つまり、評価チップは、探針用パッドを敷き詰めたレイアウトとなる。そのため、本来のプロセスチューニング条件とはずれた状態で製造が行われることになる。したがって、得られた測定結果は、実際のLSIでの素子のばらつきを正確に反映したものでないという問題が生じる。

#### 【0008】

3) 測定には、機械的な移動と探針による機械的接触とをともなう。そのため、測定時間が膨大となり、評価コストを増大させる。また、機械的接触を多数、場合によっては数万回以上も繰り返すため、その安定性の保証や、接触抵抗のばらつきによる誤差の発生の問題が生じる。

【0009】

4) 1チップ上に搭載できる素子評価パターン数が数百～数千個に留まる。同一の素子評価パターンは、一つのチップに数～数十個しか搭載できない。この搭載数では、統計的評価を行うには十分でない。数十の評価チップを測定して評価することになるが、それは、多数の評価チップについての平均的結果となる。したがって、個々の評価チップの差、たとえばウェハ上の位置に対する依存性などを評価するのは困難になる。

【0010】

5) 得られた素子のばらつきに関する測定データと、実際の回路のばらつきとの相関を検証することが困難である。少ないデータ数や、チップ上の距離、レイアウト的な不統一性（たとえば、パターン密度や微細度の差）が障害となる。

【0011】

【発明が解決しようとする課題】

この機械的移動方式に対して、電氣的切り替え方式が考えられる。しかし、電氣的切り替え方式では、切り替えスイッチのリーク電流による誤差や、配線抵抗による電位誤差の影響で、必要な測定精度が確保できないと考えられてきた。そのため、上述するような機械的移動方式が、現在でも素子のばらつき評価の主流となっている。

【0012】

そこで、この発明は、探針の機械的移動をともなわずに、電氣的切り替えによって、素子特性のばらつきおよび回路特性のばらつきを測定でき、しかも、必要な測定精度を確保することが可能な半導体特性評価装置を提供することを目的としている。

【0013】

【課題を解決するための手段】

上記の目的を達成するために、この発明の半導体特性評価装置にあつては、半導体集積回路を構成する各要素の、要素ごとに種類の異なる複数の被測定パターンをそれぞれに有し、チップ上に格子状に配置された複数の測定ユニットと、前記複数の測定ユニット上に配設され、前記複数の被測定パターンとの接続により



、前記各要素の測定項目に応じた測定回路系を構成する測定用バス群と、前記チップ上の、前記複数の測定ユニットの配置領域以外の領域に配置され、測定機器が接続される複数の測定用パッドと、前記各要素の測定項目に応じて、その測定項目に応じた測定回路系を前記測定用バス群より選択し、前記複数の測定用パッドに接続する複数の選択スイッチと、前記複数の選択スイッチの切り替えを、前記各要素の測定項目に応じて電氣的に制御する制御回路とを具備したことを特徴とする。

## 【 0 0 1 4 】

この発明の半導体特性評価装置によれば、チップ上に格子状に配置された複数の測定ユニットにそれぞれ搭載される、半導体集積回路を構成する各要素の、要素ごとに種類の異なる複数の被測定パターンとの接続により、各要素の測定項目に応じた測定回路系を構成する測定用バス群の、測定用パッドとの間の接続を選択スイッチによって電氣的に制御するようにしている。これらの測定用バス群、選択スイッチは、目的に応じて最適な構造とバイアス電圧印加とが実現される。これにより、電氣的切り替え方式であっても、切り替えスイッチのリーク電流による誤差や、配線抵抗による電位誤差の影響を防いで、必要な測定精度を十分に確保することが可能となるものである。

## 【 0 0 1 5 】

## 【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。

## 【 0 0 1 6 】

図 1 は、本発明の一実施形態にかかる素子特性・回路特性評価装置の構成例を示すものである。

## 【 0 0 1 7 】

図 1 において、チップ 1 上には、ユニット・アレイ 10 が設けられている。このユニット・アレイ 10 は、たとえば、14×14 の格子状に配置された、測定ユニットとしての 196 個の基本計測ユニット (MAU) 11 からなっている。

## 【 0 0 1 8 】

ユニット・アレイ 10 の上部には、測定バス (測定用バス群) 20 と、X アド

レス選択信号線31およびYアドレス選択信号線32とが配線されている。測定バス20、Xアドレス選択信号線31およびYアドレス選択信号線32は、それぞれ、ユニット・アレイ10の各基本計測ユニット11などと接続されている。

#### 【0019】

チップ1の外周部、たとえば、ユニット・アレイ10の左側にはXアドレス・デコーダ（制御回路）33が、下側にはYアドレス・デコーダ（制御回路）34が配置されている。これらのデコーダ33、34からは、外部より供給される制御信号にもとづいたXアドレス選択信号、Yアドレス選択信号がそれぞれ出力される。このデコーダ33から出力されるXアドレス選択信号は、たとえば、Xアドレス選択信号線31を介して、ユニット・アレイ10の各基本計測ユニット11に供給される。また、デコーダ34から出力されるYアドレス選択信号は、たとえば、Yアドレス選択信号線32を介して、ユニット・アレイ10の各基本計測ユニット11に供給される。

#### 【0020】

ユニット・アレイ10の下側には、複数の測定端子パッド（測定用パッド）40が配列されている。各測定端子パッド40には、Xアドレス・デコーダ33およびYアドレス・デコーダ34と、上記測定バス20とが接続されている。また、各測定端子パッド40には測定機器（図示していない）が接続されて、制御信号の入力や、ユニット・アレイ10の各基本計測ユニット11からの測定データの出力などが行われる。

#### 【0021】

図2は、基本計測ユニット11の基本構成を示す概念図である。基本計測ユニット11は、たとえば5つの領域11a、11b、11c、11d、11eに分割されている。それぞれの領域11a、11b、11c、11d、11eには、LSIを構成する各要素（半導体素子または半導体素子を含む集積回路や遅延回路）の、要素ごとに構造、サイズ、形状などの種類の異なる被測定パターンが数十パターンずつ搭載されている。

#### 【0022】

すなわち、領域11aは、たとえば抵抗測定パターンエリアであり、このエリ

アには、要素の一つである抵抗素子または抵抗素子を含む、数十パターンの抵抗測定回路（被測定パターン）が搭載されている。

【0023】

また、領域11bは、たとえば容量測定パターンエリアであり、このエリアには、要素の一つである容量素子または容量素子を含む、数十パターンの容量測定回路（被測定パターン）が搭載されている。

【0024】

また、領域11cは、たとえばn型MOSトランジスタ測定パターンエリアであり、このエリアには、要素の一つであるn型MOSトランジスタまたはn型MOSトランジスタを含む、数十パターンのn型MOSトランジスタ測定回路（被測定パターン）が搭載されている。

【0025】

また、領域11dは、たとえばp型MOSトランジスタ測定パターンエリアであり、このエリアには、要素の一つであるp型MOSトランジスタまたはp型MOSトランジスタを含む、数十パターンのp型MOSトランジスタ測定回路（被測定パターン）が搭載されている。

【0026】

また、領域11eは、たとえばリングオシレータ測定パターンエリアであり、このエリアには、要素の一つである遅延回路の遅延時間が異なる、数十パターンのリングオシレータ測定回路（被測定パターン）が搭載されている。

【0027】

ここで、基本計測ユニット11は、たとえば、数百 $\mu\text{m}$ 角程度の大きさを有して構成されている。したがって、各領域11a, 11b, 11c, 11d, 11e内には、数十パターン以上（数十ないし数百種）の被測定パターンを搭載できる。

【0028】

図3は、抵抗測定回路の構成例を示すものである。この抵抗測定回路は、たとえば、4個のn型MOSトランジスタ11a-1, 11a-2, 11a-3, 11a-4、および、1個の抵抗素子からなる被測定素子11a-5を有して構成されている。

。n型MOSトランジスタ11a-1, 11a-2, 11a-3, 11a-4の各ゲートは、制御端子11a-6に接続されている。n型MOSトランジスタ11a-1, 11a-2, 11a-3, 11a-4の各ドレインは、それぞれ、測定端子If+, 測定端子Vs+, 測定端子Vs-, 測定端子If-に接続されている。n型MOSトランジスタ11a-1, 11a-2, 11a-3, 11a-4の各ソースは共通に接続されている。被測定素子11a-5は、n型MOSトランジスタ11a-2, 11a-3のソース間に接続されている。なお、n型MOSトランジスタ11a-1, 11a-2のソース間には寄生抵抗11a-7が、n型MOSトランジスタ11a-3, 11a-4のソース間には寄生抵抗11a-8が、それぞれ接続されている。

## 【0029】

この抵抗測定回路の場合、測定端子If+, If-間に測定電流Ifを流し、測定端子Vs+, Vs-間の電位差を測定する。電位差をVsとするならば、被測定素子11a-5の抵抗値Rは、下記の式(1)で表される。

## 【0030】

$$R = V_s / I_f \quad \dots (1)$$

図4は、容量測定回路の構成例を示すものである。なお、ここでは、容量測定回路をCBCM法(たとえば、「James C. Chen, Dennis Sylvester, Chenming Hu, Hitoshi Aoki, Sam Nakagawa, Soo-Young Oh, "An On-Chip, Interconnect Capacitance Characterization Method with Sub-Femto-Farad Resolution," Proc. IEEE 1997 Int. Conference on Microelectronic Test Structures, vol 10, pp.77-80, March 1997.」参照)により構成した場合について示している。

## 【0031】

この容量測定回路は、たとえば同図(a)に示すように、CMOSインバータを構成するp型MOSトランジスタ(M1)11b-1とn型MOSトランジスタ(M2)11b-2、容量素子からなる被測定素子11b-3、ナンド回路11b-4, 11b-5、ノア回路11b-6、および、インバータ回路11b-7, 11b-8, 11b-9, 11b-10, 11b-11を有して構成されている。

## 【0032】

p型MOSトランジスタ11b-1のソースは容量測定用電源VDD(sens

e) に、ゲート（端子A）はナンド回路 1 1 b-4 の出力端に、それぞれ接続されている。n 型 MOS トランジスタ 1 1 b-2 のソースはグランド（GND（sense））に、ゲート（端子B）はノア回路 1 1 b-6 の出力端に、それぞれ接続されている。被測定素子 1 1 b-3 は、p 型 MOS トランジスタ 1 1 b-1 および n 型 MOS トランジスタ 1 1 b-2 の共通ドレイン（端子C）と接地との間に接続されている。

## 【0033】

ナンド回路 1 1 b-5 の一方の入力端は制御端子 1 1 b-12 に接続され、他方の入力端 1 1 b-13 には駆動クロックが供給されるようになっている。このナンド回路 1 1 b-5 の出力端は、インバータ回路 1 1 b-7 の入力端に接続されている。インバータ回路 1 1 b-7 の出力端は、上記ナンド回路 1 1 b-4 の一方の入力端および上記ノア回路 1 1 b-6 の一方の入力端に、それぞれ接続されている。また、上記インバータ回路 1 1 b-7 の出力端は、インバータ回路 1 1 b-8 の入力端に接続されている。このインバータ回路 1 1 b-8 の出力端は、インバータ回路 1 1 b-9 の入力端に接続されている。このインバータ回路 1 1 b-9 の出力端は、インバータ回路 1 1 b-10 の入力端に接続されている。このインバータ回路 1 1 b-10 の出力端は、インバータ回路 1 1 b-11 の入力端に接続されている。このインバータ回路 1 1 b-11 の出力端は、上記ナンド回路 1 1 b-4 の他方の入力端および上記ノア回路 1 1 b-6 の他方の入力端に、それぞれ接続されている。

## 【0034】

この場合の容量測定回路は、CMOS インバータの消費電流が、駆動電圧、周波数、負荷容量の積になることを利用している。動作波形としては、たとえば同図（b）に示すように、p 型 MOS トランジスタ 1 1 b-1 および n 型 MOS トランジスタ 1 1 b-2 が同時にオンしないよう、端子Aおよび端子Bの電位（波形）が調整されている。端子Cに接続された被測定素子 1 1 b-3 は、容量測定用電源 VDD（sense）とグランド（GND（sense））との電位差  $V_{ddc}$  により駆動される。

## 【0035】

駆動クロックの周波数を  $f_c$ 、容量測定用電源 VDD（sense）の平均電

流値を  $I_{ddc}$  とするならば、被測定素子 1 1 b-3 の容量値  $C_d$  は、下記の式 (2) で表せる。

【0036】

$$C_d = I_{ddc} / (f_c \cdot V_{ddc}) \quad \dots (2)$$

図5は、n型MOSトランジスタ測定回路の構成例を示すものである。このn型MOSトランジスタ測定回路は、たとえば、n型MOSトランジスタからなる被測定素子 1 1 c-1 のゲートが、トランスファゲート (スイッチ回路) 1 1 c-2 を介して、測定端子 n-Gate に接続されている。被測定素子 1 1 c-1 のドレインは測定端子 n-Drain に、ソースは測定端子 n-Source に、それぞれ接続されている。また、被測定素子 1 1 c-1 のゲートには、n型MOSトランジスタ 1 1 c-3 のドレインが接続されている。

【0037】

このn型MOSトランジスタ 1 1 c-3 のソースは接地され、ゲートは、上記トランスファゲート 1 1 c-2 のp型MOSトランジスタ側のゲートおよびインバータ回路 1 1 c-4 の出力端にそれぞれ接続されている。このインバータ回路 1 1 c-4 の入力端には、それぞれ、制御端子 1 1 c-5 および上記トランスファゲート 1 1 c-2 のn型MOSトランジスタ側のゲートが接続されている。

【0038】

このn型MOSトランジスタ測定回路の場合、測定端子 n-Drain および測定端子 n-Source 間に、特性測定のためのバイアス電位が印加される。制御端子 1 1 c-5 が低電位の場合には、被測定素子 1 1 c-1 のゲート電位が接地電位となり、n型MOSトランジスタはオフする。制御端子 1 1 c-5 が高電位の場合には、被測定素子 1 1 c-1 のゲートに、測定端子 n-Gate の電位が印加される。これにより、n型MOSトランジスタがオンし、被測定素子 1 1 c-1 の特性の測定が可能になる。

【0039】

図6は、p型MOSトランジスタ測定回路の構成例を示すものである。このp型MOSトランジスタ測定回路は、たとえば、p型MOSトランジスタからなる被測定素子 1 1 d-1 のゲートが、トランスファゲート (スイッチ回路) 1 1 d-2

を介して、測定端子 p - G a t e に接続されている。被測定素子 1 1 d - 1 のドレインは測定端子 p - D r a i n に、ソースは測定端子 p - S o u r c e に、それぞれ接続されている。また、被測定素子 1 1 d - 1 のゲートには、p 型 MOS トランジスタ 1 1 d - 3 のドレインが接続されている。

## 【 0 0 4 0 】

この p 型 MOS トランジスタ 1 1 d - 3 のソースには電源 V D D が接続され、ゲートは、上記トランスファゲート 1 1 d - 2 の n 型 MOS トランジスタ側のゲートおよび制御端子 1 1 d - 4 にそれぞれ接続されている。また、制御端子 1 1 d - 4 には、インバータ回路 1 1 d - 5 の入力端が接続されている。このインバータ回路 1 1 d - 5 の出力端は、上記トランスファゲート 1 1 d - 2 の p 型 MOS トランジスタ側のゲートに接続されている。

## 【 0 0 4 1 】

この p 型 MOS トランジスタ測定回路の場合、測定端子 p - D r a i n および測定端子 p - S o u r c e 間に、特性測定のためのバイアス電位が印加される。制御端子 1 1 d - 4 が低電位の場合には、被測定素子 1 1 d - 1 のゲート電位が高電位となり、p 型 MOS トランジスタはオフする。制御端子 1 1 d - 4 が高電位の場合には、被測定素子 1 1 d - 1 のゲートに、測定端子 p - G a t e の電位が印加される。これにより、p 型 MOS トランジスタがオンし、被測定素子 1 1 d - 1 の特性の測定が可能になる。

## 【 0 0 4 2 】

図 7 は、リングオシレータ測定回路の構成例を示すものである。このリングオシレータ測定回路は、たとえば、リングオシレータ部からなる被測定回路 1 1 e - 1、インバータ回路 1 1 e - 2、分周回路 1 1 e - 3、および、出力バッファ（トライステート・バッファ）1 1 e - 4 を有して構成されている。

## 【 0 0 4 3 】

被測定回路 1 1 e - 1 は、1 個のナンド回路 1 1 e - 1 a と 6 個のインバータ回路 1 1 e - 1 b , 1 1 e - 1 c , 1 1 e - 1 d , 1 1 e - 1 e , 1 1 e - 1 f , 1 1 e - 1 g とからなっている。上記ナンド回路 1 1 e - 1 a の一方の入力端には、制御端子 1 1 e - 5 および上記出力バッファ 1 1 e - 4 がそれぞれ接続されている。このナンド回

路 1 1 e-1a の出力端は、インバータ回路 1 1 e-1b の入力端に接続されている。このインバータ回路 1 1 e-1b の出力端は、インバータ回路 1 1 e-1c の入力端に接続されている。このインバータ回路 1 1 e-1c の出力端は、インバータ回路 1 1 e-1d の入力端に接続されている。このインバータ回路 1 1 e-1d の出力端は、インバータ回路 1 1 e-1e の入力端およびインバータ回路 1 1 e-2 の入力端にそれぞれ接続されている。インバータ回路 1 1 e-1e の出力端は、インバータ回路 1 1 e-1f の入力端に接続されている。このインバータ回路 1 1 e-1f の出力端は、インバータ回路 1 1 e-1g の入力端に接続されている。このインバータ回路 1 1 e-1g の出力端は、上記ナンド回路 1 1 e-1a の他方の入力端に接続されている。

## 【 0 0 4 4 】

上記インバータ回路 1 1 e-2 の出力端は、分周回路 1 1 e-3 を介して、出力バッファ 1 1 e-4 の入力端に接続されている。この出力バッファ 1 1 e-4 の出力端は、測定端子 F 0 に接続されている。

## 【 0 0 4 5 】

このリングオシレータ測定回路において、制御端子 1 1 e-5 が低電位の場合、初段のナンド回路 1 1 e-1a の出力が高電位に固定される。よって、被測定回路（リングオシレータ部） 1 1 e-1 の発振は停止状態になる。この時、出力段のトライステート・バッファ 1 1 e-4 は、制御端子 1 1 e-5 が低電位のため、測定端子 F 0 の分周出力を高インピーダンス状態にする。制御端子 1 1 e-5 が高電位の場合には、初段のナンド回路 1 1 e-1a から、もう一方の入力（他方の入力端）の論理値が反転して出力される。これにより、被測定回路 1 1 e-1 が発振する。そして、この発振出力が、適宜、分周回路 1 1 e-3 によって分周された後、測定端子 F 0 より出力される。つまり、制御端子 1 1 e-5 が高電位の場合は、出力のトライステート・バッファ 1 1 e-4 が有効となり、測定端子 F 0 からリングオシレータ部（被測定回路 1 1 e-1）の発振出力が分周出力される。

## 【 0 0 4 6 】

図 8 ないし図 1 1 は、測定バス 2 0 の構成例を示すものである。本実施形態の場合、測定バス 2 0 は、図 8 に示すメッシュ測定バス（第 2 のバス） 2 1 と図 9



～図11にそれぞれ示すストレート測定バス（第1のバス）22, 23, 24とを有して構成されている。

#### 【0047】

メッシュ測定バス21は、たとえば図8に示すように、横方向配線（横方向バス）21a、および、この横方向配線21aとは異なる層の縦方向配線（縦方向バス）21bからなるメッシュ構造とされている。各々の配線21a, 21bの間隔は、基本計測ユニット11の配置の間隔にほぼ一致されている。そして、各交点において、配線21a, 21bは、ビア21cによって相互に接続されている。また、配線21a, 21bは、縦方向配線21bと同じ層からなる横配線21dを介して、測定端子パッド40の一つと接続されている。

#### 【0048】

なお、基本計測ユニット11の上層には、たとえば、基本計測ユニット11の総数に応じて、複数組のメッシュ測定バス21が配置されている（詳細については、後述する）。

#### 【0049】

このようなメッシュ構造とすることによって、バス全体を同一電位に固定可能な、低抵抗のメッシュ測定バス21を形成することが可能である。

#### 【0050】

ストレート測定バス22は、たとえば図9に示すように、上記縦方向配線21bと同じ層の縦方向配線（縦方向バス）22aからなるストライプ構造とされている。つまり、配線22aは、上記メッシュ測定バス21の縦方向配線21bの相互間に、それぞれ、所定本ずつ配置されている（詳細については、後述する）。また、各配線22aは、n型MOSトランジスタまたはp型MOSトランジスタからなる選択スイッチ22b、および、横配線22cを介して、測定端子パッド40の一つと接続されている。

#### 【0051】

選択スイッチ22bのそれぞれは、たとえば、上記Yアドレス選択信号線32からの信号によって制御される。すなわち、選択スイッチ22bは、各基本計測ユニット11における測定項目（抵抗、容量、トランジスタ、遅延回路）に対応

する箇所のみがオンし、その他はオフとなる。必要な箇所の選択スイッチ 22b だけをオンさせることにより、不要な測定バス・ネット（測定回路系）を遮断して、リーク電流の流入を防止できる。

#### 【0052】

ストレート測定バス（容量測定駆動クロック用）23は、たとえば図10に示すように、上記縦方向配線 21b と同じ層の縦方向配線（縦方向バス）23a からなるストライプ構造とされている。つまり、配線 23a は、上記メッシュ測定バス 21 の縦方向配線 21b の相互間に、それぞれ、所定本ずつ配置されている（詳細については、後述する）。また、各配線 23a は、測定バス選択ゲート（選択スイッチ）23b、横配線 23c、および、差動クロックバッファ 23d を介して、測定端子パッド 40 の二つと接続されている。

#### 【0053】

測定バス選択ゲート 23b のそれぞれは、たとえば、上記 Y アドレス選択信号線 32 からの信号によって制御される。すなわち、測定バス選択ゲート 23b によって、必要な箇所の縦方向配線 23a に対してのみ駆動クロックを供給させるようにする。これにより、不要な電流消費とノイズの発生とを防止できる。

#### 【0054】

ストレート測定バス 24 は、リングオシレータ測定用の測定バスであり、たとえば図11に示すように、上記縦方向配線 21b と同じ層の縦方向配線（縦方向バス）24a からなるストライプ構造とされている。つまり、配線 24a は、上記メッシュ測定バス 21 の縦方向配線 21b の相互間に、それぞれ、所定本ずつ配置されている（詳細については、後述する）。また、各配線 24a は、測定バス選択ゲート（選択スイッチ）24b、横配線 24c、および、差動出力バッファ 24d を介して、測定端子パッド 40 の二つと接続されている。

#### 【0055】

測定バス選択ゲート 24b のそれぞれは、たとえば、上記 Y アドレス選択信号線 32 からの信号によって制御される。すなわち、測定バス選択ゲート 24b によって、必要な箇所の縦方向配線 24a だけが有効となるようにする。これにより、不要な電流消費とノイズの発生とを防止できる。

## 【0056】

ここで、抵抗測定回路、容量測定回路、n型MOSトランジスタ測定回路、p型MOSトランジスタ測定回路、および、リングオシレータ測定回路のそれぞれと測定バス20との接続関係（測定バス・ネット）について説明する。

## 【0057】

抵抗測定回路（図3参照）の場合、測定バス・ネットとしては、測定端子If<sub>+</sub>、If<sub>-</sub>、Vs<sub>+</sub>、Vs<sub>-</sub>の各々が、図9に示したストレート測定バス22の縦方向配線22aのそれぞれに接続されている。この場合、選択スイッチ22bには、n型MOSトランジスタが用いられる。また、制御端子11a-6には、Xアドレス選択信号線31およびYアドレス選択信号線32の論理積をとるロジック（図示していない）が接続されている。

## 【0058】

なお、測定端子If<sub>-</sub>に関しては、図8に示したメッシュ測定バス21に接続することもできる。その場合は、測定端子If<sub>-</sub>につながる選択スイッチ（トランジスタ11a-4）を省略しても良い。

## 【0059】

容量測定回路（図4参照）の場合、測定バス・ネットとしては、容量測定用電源VDD（sense）が、図9に示したストレート測定バス22の縦方向配線22aと接続されている（選択スイッチ22bはp型MOSトランジスタ）。また、ナンド回路11b-5の入力端（駆動クロック入力）11b-13が、図10に示したストレート測定バス23の縦方向配線23aと接続されている。また、GND（sense）が、図8に示したメッシュ測定バス21の一つに接続される。さらに、制御端子11b-12には、Xアドレス選択信号線31およびYアドレス選択信号線32の論理積をとるロジック（図示していない）が接続されている。

## 【0060】

このように、容量測定回路の駆動クロックを、ストレート測定バス23の縦方向配線23aより供給するようにする。これにより、CBCM法によって容量－電流変換された測定電流は、ストレート測定バス22の縦方向配線22aを介し

て出力される。

#### 【0061】

n型MOSトランジスタ測定回路（図5参照）の場合、測定バス・ネットとしては、測定端子n-Drain, n-Source, n-Gateの各々が、図8に示したメッシュ測定バス21のそれぞれに接続されている。また、制御端子11c-5には、Xアドレス選択信号線31およびYアドレス選択信号線32の論理積をとるロジック（図示していない）が接続されている。

#### 【0062】

このn型MOSトランジスタ測定回路においては、メッシュ測定バス21を使用することにより、測定時の電位ドロップを抑制し得、精度の高い測定が可能となる。

#### 【0063】

p型MOSトランジスタ測定回路（図6参照）の場合、測定バス・ネットとしては、測定端子p-Drain, p-Source, p-Gateの各々が、図8に示したメッシュ測定バス21のそれぞれに接続されている。また、制御端子11d-4には、Xアドレス選択信号線31およびYアドレス選択信号線32の論理積をとるロジック（図示していない）が接続されている。

#### 【0064】

このp型MOSトランジスタ測定回路においては、メッシュ測定バス21を使用することにより、測定時の電位ドロップを抑制し得、精度の高い測定が可能となる。

#### 【0065】

リングオシレータ測定回路（図7参照）の場合、測定バス・ネットとしては、測定端子F0が、図11に示したストレート測定バス24の縦方向配線24aと接続されている。また、制御端子11e-5には、Xアドレス選択信号線31およびYアドレス選択信号線32の論理積をとるロジック（図示していない）が接続されている。

#### 【0066】

本実施形態の場合には、上記したように、基本計測ユニット11の1つ当たり

、7組のメッシュ測定バス21と5本の縦方向配線22a、1本の縦方向配線23a、および、1本の縦方向配線24aとが割り当てられている。つまり、基本計測ユニット11の個数を“196(=14×14)”とした場合、測定バス20は、7組のメッシュ測定バス21と、70(=14×5)本の縦方向配線22aを有するストレート測定バス22、14本の縦方向配線23aを有するストレート測定バス23、および、14本の縦方向配線24aを有するストレート測定バス24とによって構成されている。

## 【0067】

なお、測定バス20は、被測定素子11a-5, 11b-3, 11c-1, 11d-1の特性や被測定回路11e-1の特性に応じて、最適な構成とバイアス条件となるように設計されている。すなわち、測定回路ごとに、その回路の特性に合わせて、適切な測定バス20の構成とバイアス条件とを選択することにより、選択スイッチのリーク電流や測定バス20の寄生抵抗による電位ドロップなどの、測定にかかる誤差要因の影響を回避できる。

## 【0068】

また、測定回路の種類によらず、チップ1上のX, Yアドレス・デコーダ33, 34や電源(図示していない)などは共通となる。

## 【0069】

さらに、詳細には説明していないが、X, Yアドレス・デコーダ33, 34の機能としては、アドレス指定の他、測定回路のモード設定、内部動作のモニタなどが含まれる。

## 【0070】

このような構成の素子特性・回路特性評価装置は、測定端子パッド40に測定機器が接続される。そして、測定端子パッド40を介して、測定項目に応じた制御信号および電源・測定バイアスなどが入力される。すると、制御信号にしたがって、測定バス20が選択的に測定端子パッド40と接続されるとともに、その測定バス20につながる基本計測ユニット11のうちの、抵抗測定回路、容量測定回路、n型MOSトランジスタ測定回路、p型MOSトランジスタ測定回路、または、リングオシレータ測定回路の1つが制御状態とされる。このようにして

、測定項目に対応する測定バス・ネットの、測定端子パッド40との接続が電氣的に切り替えられる。これにより、制御状態とされた回路の出力（測定データ）が、測定バス20を介して、測定端子パッド40より測定機器へと出力される。

#### 【0071】

以上、説明してきたように、遅延時間を決めるLSIの構成要素（被測定素子または被測定回路）としての、抵抗（寄生抵抗）、容量（寄生容量）、トランジスタなどの、構造やサイズの違いによるバリエーションの異なる数十ないし数百の測定回路と、リングオシレータなどの遅延時間の評価が可能なサンプル回路の異なる数十ないし数百の測定回路とを搭載した、数百 $\mu\text{m}$ 角の大きさを有する数百個の基本計測ユニットを、チップ上に格子状に配置する。この場合、1ユニットに搭載される総測定回路数は数百となり、1チップの総被測定パターン数は数万～十数万となる。

#### 【0072】

また、それぞれの基本計測ユニットに対し、適宜、選択スイッチを配した測定バスを接続して、測定回路との間で測定バス・ネットを構成する。そして、この測定バス・ネットの測定端子パッドとの接続を、制御信号の入力にもとづいて選択スイッチを制御することによって電氣的に切り替える。

#### 【0073】

このようにして、従来の探針の機械的な移動をとまわずに、電氣的に被測定パターンの選択を可能とすることにより、1チップで数万～十数万の被測定パターンを評価できる。特に、数百 $\mu\text{m}$ 角の基本計測ユニットに、全被測定パターンが集約されるため、個々の被測定パターン間における特性のばらつきの相関を正確に評価することが可能となる。また、電氣的な切り替えによる手法でありながら、測定バスの構成やバイアスの印加方法などを測定項目に応じて最適化できることによって、必要な測定精度を確保できる。

#### 【0074】

たとえば、1個の基本計測ユニット11のサイズを250 $\mu\text{m}$ 角とした場合、3.5mm角のチップ1であれば、196（14<sup>2</sup>）個に細分化して評価することができる。これにより、通常のLSIのチップサイズ（数～十数mm角）に対

して、十分な空間分解能を確保できる。また、1チップの測定で、196の標本数（測定データ）を得ることができ、正確な統計的評価が可能になる。

【0075】

上記した、本実施形態にかかる手法を用いることによって、従来の方法で問題となっていた5つの問題点を解決することができる。

【0076】

1) 1チップで数万～十数万の被測定パターンを評価できる。よって、収集できるデータ量に対するチップの製造コストについては、約2桁の改善が可能となる。

【0077】

2) 測定端子パッドを、チップの外周付近にのみ配置できる。つまり、基本測定ユニット内には、被測定素子と、その測定回路を高密度に配置させることが可能となる。よって、通常のLSIと極めて類似性の高いレイアウトとなり、実際のLSIでの素子の特性ばらつきを反映したデータを収集できるようになる。

【0078】

3) 個々の素子に対する測定は、電気的な接続の切り替えによって行われる。その場合、一つのチップの、ある被測定素子に対する機械的な接触動作は1回で済む。これにより、寄生抵抗の影響は個々の被測定パターンに関して共通となり、チップ内の素子特性のばらつきを正確に評価できる。また、機械的な接触回数が少ないため、接触抵抗を確認するための測定のシーケンスを導入したとしても、全体の測定時間はほとんど増加しない。よって、接触抵抗の安定性を容易に確保でき、チップ間での素子の特性ばらつきの評価を精度良く行うことが可能になる。

【0079】

4) 数百 $\mu$ m角の基本測定ユニットを格子状に配置するようにしているため、同一の被測定素子について、1チップで数百の標本数を確保できる。よって、1チップにより精度の高い統計的評価を行うことができるとともに、チップごとに素子間での相関を分析することも可能となる。

【0080】

5) すべての被測定パターンが、数百 $\mu$ m角の基本計測ユニット上に集約されるので、レイアウトも通常のLSIとの類似性が極めて高く、素子間での特性のばらつきの相関のみでなく、それらと回路の遅延時間ばらつきとの相関をも高い信頼度で評価することが可能となる。

#### 【0081】

次に、本発明にかかる他の実施形態について説明する。

#### 【0082】

図12は、n型MOSトランジスタ測定回路の他の構成例を示すものである。n型MOSトランジスタ測定回路（図5参照）の場合、すべての被測定素子11c-1が、メッシュ測定バス21に接続されている。そのため、n型MOSトランジスタのオフリークの、測定精度に及ぼす影響が大きい。

#### 【0083】

そこで、n型MOSトランジスタのオフリークを抑制させるために、たとえば図12に示すように、n型MOSトランジスタ11c-3'のソースにオブバイアス電位GNDEを接続する。こうして、被測定素子11c-1のゲート電位として、非選択時には、オブバイアス電位GNDEが印加されるようにする。これにより、測定端子n-Drain, n-Source間を流れるリーク電流を低減でき、測定精度の改善が可能となる。

#### 【0084】

図13は、p型MOSトランジスタ測定回路の他の構成例を示すものである。このp型MOSトランジスタ測定回路の場合、たとえば、p型MOSトランジスタ11d-3'のソースにオブバイアス電位VDDEが接続されている。こうして、被測定素子11d-1のゲート電位として、非選択時には、オブバイアス電位VDDEが印加されるようにする。これにより、n型MOSトランジスタのオフリークが抑制される。その結果、図12に示したn型MOSトランジスタ測定回路の場合と同様に、測定端子p-Drain, p-Source間を流れるリーク電流を低減でき、測定精度の改善が可能となる。

#### 【0085】

図14は、図8に示したメッシュ測定バスの他の構成例を示すものである。こ



の例のメッシュ測定バス（第2のバス）21Aは、たとえば、四つの分割バス（グループ）21Bに分割されている。分割することにより、メッシュ測定バス21Aは、寄生抵抗およびリーク電流（各分割バス21Bに流入する被測定素子からのオフリーク電流）を削減することができる。特に、トランジスタの測定に用いるようにすることによって、オン電流の測定精度を改善できる。

## 【0086】

図15は、容量測定回路（測定バス・ネット）の他の構成例を示すものである。この例の場合、各基本計測ユニット11における容量測定パターンエリア11b内の、すべての容量測定回路（図4参照）のp型MOSトランジスタ11b-1に、共通に、p型MOSトランジスタからなる選択スイッチ（選択回路）11b-21が接続されている。この選択スイッチ11b-21は、ゲートが制御端子11b-22に接続されている。

## 【0087】

そして、この選択スイッチ11b-21を介して、基本計測ユニット11ごとに、すべての容量測定回路がストレート測定バス22の縦方向配線22aと接続されて、容量測定用の測定バス・ネットが構成されている。これにより、さらに不要な回路からのリーク電流（トランジスタ11b-1のオフリーク）を遮断でき、測定精度の改善が可能となる。

## 【0088】

図16は、容量測定用の測定バス・ネットのさらに別の構成例を示すものである。通常、CMOS回路では、p型MOSトランジスタのウェルには、電源電位が印加される。図15に示した測定バス・ネットの場合は、電源VDD（sense）EXTの印加される測定端子パッド40を電源端子とみなすことができる。したがって、ウェルは、この測定端子パッド40の電位により固定される。そのため、選択スイッチ（p型MOSトランジスタのウェル）22bに流入するリーク電流が測定端子パッド40に流れ込み、測定誤差の原因となる。

## 【0089】

そこで、この例の測定バス・ネットでは、たとえば図16に示すように、選択スイッチ22b'、11b-21'、および、すべての容量測定回路のp型MOSト

ランジスタ11b-1'において、それぞれのウェルをソースと個々に接続し、ウェルに流れる不要なリーク電流成分を遮断するようにしている。

#### 【0090】

図17は、リングオシレータ測定用の測定バス・ネットの他の構成例を示すものである。この例の場合、各基本計測ユニット11におけるリングオシレータ測定パターンエリア11e内の、すべてのリングオシレータ測定回路（図7参照）が、分周回路11e-3を共有化するように構成されている。そして、選択ゲート11e-11を介して、基本計測ユニット11ごとに、すべてのリングオシレータ測定回路が測定バス20と接続されて、リングオシレータ測定用の測定バス・ネットが構成されている。なお、選択ゲート11e-11には、制御端子11e-12が接続されている。

#### 【0091】

図18は、ユニット・アレイの他の構成例を示すものである。なお、同図(a)は、上述の実施形態で示したユニット・アレイ10における基本計測ユニット11の基本的な配置を示すものであり、ここでは、基本計測ユニット11の配置を4×4とした場合を例に示している。同図(b)は、基本計測ユニットの配置を4×4とした場合を例に、4×1(n個(n>1))の配置ごとに共用部分を設けるようにした場合の例であり、同図(c)は、基本計測ユニットの配置を4×4とした場合を例に、基本計測ユニットの4×4(n個(n>1))の配置に対して、共用部分を設けるようにした場合の例である。

#### 【0092】

すなわち、特定の測定パターンエリアのみが比較的大きな面積を必要とするような場合、たとえば同図(b)に示すように、複数(ここでは、n=4個)の基本計測ユニット11Aにまたがるようにして、エリアの一部が共有化された共用部分11A'を配置する。このユニット・アレイ10Aの場合、こうすることによって、過剰な面積の増加を抑えることができる。なお、共用部分11A'のそれぞれは、すべて同一の測定パターンエリアであっても良いし、別の測定パターンエリアとすることもできる。

#### 【0093】

また、たとえば同図(c)に示すように、複数(ここでは、 $n=16$ 個)の基本計測ユニット11Bに対して、共用部分11B'を配置することも可能である。このような構成のユニット・アレイ10Bは、測定パターンエリア内に、縦方向長配線や横方向長配線を配置する必要があるような場合において、特に有効である。

## 【0094】

図19は、低容量化配線および低容量・低抵抗化配線を用いて、容量測定の精度の改善を図るようにした場合の例を示すものである。なお、同図(a)は、5層の積層配線(第1配線層～第5配線層)からなる一般的な配線構造を、同図(b)は、目的配線を低容量化した低容量化配線構造の一例を、同図(c)は、目的配線を低容量・低抵抗化した低容量・低抵抗化配線構造の一例を、それぞれ示している。

## 【0095】

ここで、CBCM法により構成された容量測定回路(図4参照)の場合、駆動クロックの周波数に比例して、被測定素子11b-3に流れる測定電流が変化する。測定電流が大きい程、リーク電流による誤差の影響は軽減される。つまり、駆動クロックの周波数が高いほど、測定の精度は改善されるが、図10に示した駆動クロック用のストレート測定バス23を高速化することは、チップ1に乘るノイズを増大させる。

## 【0096】

また、図15に示したように、ストレート測定バス22の寄生容量と寄生抵抗とにより、容量測定回路の応答性が制限される。そのため、高い周波数で精度の良い測定を実現するためには、測定バス・ネットの低容量化と低抵抗化とが必要となる。

## 【0097】

図19(b)に示す低容量化配線の場合、たとえば、小ピッチ配線からなる第1配線層～第3配線層22-1～22-3および大ピッチ配線からなる第4配線層、第5配線層22-4、22-5のうち、第3配線層22-3からなる目的配線22xが低容量化されている。0.13 $\mu$ m世代のCu配線プロセスを例にすると、目的

配線 2 2 x の寄生容量は、一般の第 3 配線層 2 2 -3 の寄生容量  $0.2 \text{ pF/mm}$  の、約半分の寄生容量  $0.1 \text{ pF/mm}$  となる。すなわち、このような配線構造を有する低容量化配線を、容量測定回路における駆動クロックのストレート測定バスとして用いることにより、一般的な配線を用いる場合に比して、チップ 1 に発生するノイズを半減させることが可能となる。

## 【 0 0 9 8 】

図 1 9 (c) に示す低容量・低抵抗化配線の場合、たとえば、小ピッチ配線からなる第 1 配線層～第 3 配線層 2 2 -1～2 2 -3 および大ピッチ配線からなる第 4 配線層、第 5 配線層 2 2 -4, 2 2 -5 のうち、第 4 配線層 2 2 -4 からなる目的配線 2 2 y が低容量・低抵抗化されている。 $0.13 \mu\text{m}$  世代の Cu 配線プロセスを例にすると、目的配線 2 2 y の寄生容量は、一般の第 4 配線層 2 2 -4 の寄生容量  $0.24 \text{ pF/mm}$  の、約半分の寄生容量  $0.12 \text{ pF/mm}$  となる。また、配線抵抗は、通常の第 4 配線層 2 2 -4 の配線抵抗  $100 \Omega/\text{mm}$  の、約半分の配線抵抗  $50 \Omega/\text{mm}$  となる。すなわち、このような配線構造を有する低容量・低抵抗化配線を、容量測定回路における測定電流を出力するためのストレート測定バスとして用いることにより、駆動クロックを高速化した場合に、チップ 1 上でのノイズの低減と高速応答性の確保とが可能となる。応答性としては、一般的な配線を用いる場合に比して、約 4 倍に高速化することが可能となる。

## 【 0 0 9 9 】

その他、本発明は、上記 (各) 実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。さらに、上記 (各) 実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。たとえば、(各) 実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題 (の少なくとも一つ) が解決でき、発明の効果の欄で述べられている効果 (の少なくとも一つ) が得られる場合には、その構成要件が削除された構成が発明として抽出され得る。

## 【 0 1 0 0 】

## 【発明の効果】

以上、詳述したようにこの発明によれば、探針の機械的移動をとまわずに、電氣的切り替えによって、素子特性のばらつきおよび回路特性のばらつきを測定でき、しかも、必要な測定精度を確保することが可能な半導体特性評価装置を提供できる。

【図面の簡単な説明】

【図 1】

本発明の一実施形態にかかる素子特性・回路特性評価装置の構成例を示す平面図。

【図 2】

図 1 に示した素子特性・回路特性評価装置における基本計測ユニットの基本構成を示す概念図。

【図 3】

図 1 に示した素子特性・回路特性評価装置における抵抗測定回路の一例を示す回路構成図。

【図 4】

図 1 に示した素子特性・回路特性評価装置における容量測定回路の一例を示す構成図。

【図 5】

図 1 に示した素子特性・回路特性評価装置における n 型 MOS トランジスタ測定回路の一例を示す回路構成図。

【図 6】

図 1 に示した素子特性・回路特性評価装置における p 型 MOS トランジスタ測定回路の一例を示す回路構成図。

【図 7】

図 1 に示した素子特性・回路特性評価装置におけるリングオシレータ測定回路の一例を示す回路構成図。

【図 8】

図 1 に示した素子特性・回路特性評価装置における測定バスの構成を、メッシュ測定バスを例に示す構成図。

【図 9】

図 1 に示した素子特性・回路特性評価装置における測定バスの構成を、ストレート測定バスを例に示す構成図。

【図 1 0】

図 1 に示した素子特性・回路特性評価装置における容量測定回路の駆動クロックに用いられるストレート測定バスの構成図。

【図 1 1】

図 1 に示した素子特性・回路特性評価装置におけるリングオシレータ測定回路に用いられるストレート測定バスの構成図。

【図 1 2】

n 型 MOS トランジスタ測定回路の他の一例を示す回路構成図。

【図 1 3】

p 型 MOS トランジスタ測定回路の他の一例を示す回路構成図。

【図 1 4】

メッシュ測定バスの他の一例を示す構成図。

【図 1 5】

容量測定回路の他の一例（測定バス・ネット）を示す構成図。

【図 1 6】

容量測定回路のさらに別の一例（測定バス・ネット）を示す構成図。

【図 1 7】

リングオシレータ測定回路の他の一例（測定バス・ネット）を示す構成図。

【図 1 8】

ユニット・アレイの他の構成例を示す平面図。

【図 1 9】

容量測定に用いられる配線の他の構成例を示す断面図。

【符号の説明】

1 … チップ

1 0, 1 0 A, 1 0 B … ユニット・アレイ

1 1, 1 1 A, 1 1 B … 基本計測ユニット (MAU)

11A', 11B' …共用部分

11a…領域（抵抗測定パターンエリア）

11a-1, 11a-2, 11a-3, 11a-4…n型MOSトランジスタ

11a-5…被測定素子

11a-6…制御端子

11a-7, 11a-8…寄生抵抗

If+, Vs+, Vs-, If-…測定端子

If…測定電流

11b…領域（容量測定パターンエリア）

11b-1, 11b-1' …p型MOSトランジスタ (M1)

11b-2…n型MOSトランジスタ (M2)

11b-3…被測定素子

11b-4, 11b-5…ナンド回路

11b-6…ノア回路

11b-7, 11b-8, 11b-9, 11b-10, 11b-11 …インバータ回路

11b-12 …制御端子

11b-13 …入力端（駆動クロック）

11b-21, 11b-21' …選択スイッチ

11b-22 …制御端子

VDD (sense) …容量測定用電源

VDD (sense) EXT…電源

GND (sense) …グラウンド

Vddc…電位差

Iddc…容量測定用電源VDD (sense) の平均電流値

11c…領域（n型MOSトランジスタ測定パターンエリア）

11c-1…被測定素子

11c-2…トランスファゲート

11c-3, 11c-3' …n型MOSトランジスタ

11c-4…インバータ回路

11c-5…制御端子  
 n-Gate, n-Drain, n-Source…測定端子  
 GNDE…オブバイアス電位  
 11d…領域 (p型MOSトランジスタ測定パターンエリア)  
 11d-1…被測定素子  
 11d-2…トランスファゲート  
 11d-3, 11d-3' …p型MOSトランジスタ  
 11d-4…制御端子  
 11d-5…インバータ回路  
 p-Gate, p-Drain, p-Source…測定端子  
 VDD…電源  
 VDDE…オブバイアス電位  
 11e…領域 (リングオシレータ測定パターンエリア)  
 11e-1…被測定回路  
 11e-1a …ナンド回路  
 11e-1b, 11e-1c, 11e-1d, 11e-1e, 11e-1f, 11e-1g  
 …インバータ回路  
 11e-2…インバータ回路  
 11e-3…分周回路  
 11e-4…出力バッファ (トライステート・バッファ)  
 11e-5…制御端子  
 11e-11 …選択ゲート  
 11e-12 …制御端子  
 F0…測定端子  
 20…測定バス  
 21, 21A…メッシュ測定バス  
 21B…分割バス  
 21a…横方向配線  
 21b…縦方向配線



2 1 c …ビア

2 1 d …横配線

2 2, 2 2' …ストレート測定バス

2 2 a …縦方向配線

2 2 b, 2 2 b' …選択スイッチ

2 2 c …横配線

2 2 -1 ~ 2 2 -5 …第 1 配線層 ~ 第 5 配線層

2 2 x, 2 2 y …目的配線

2 3 …ストレート測定バス (容量測定駆動クロック用)

2 3 a …縦方向配線

2 3 b …測定バス選択ゲート

2 3 c …横配線

2 3 d …差動クロックバッファ

2 4 …ストレート測定バス (リングオシレータ測定用)

2 4 a …縦方向配線

2 4 b …測定バス選択ゲート

2 4 c …横配線

2 4 d …差動出力バッファ

3 1 …Xアドレス選択信号線

3 2 …Yアドレス選択信号線

3 3 …Xアドレス・デコーダ

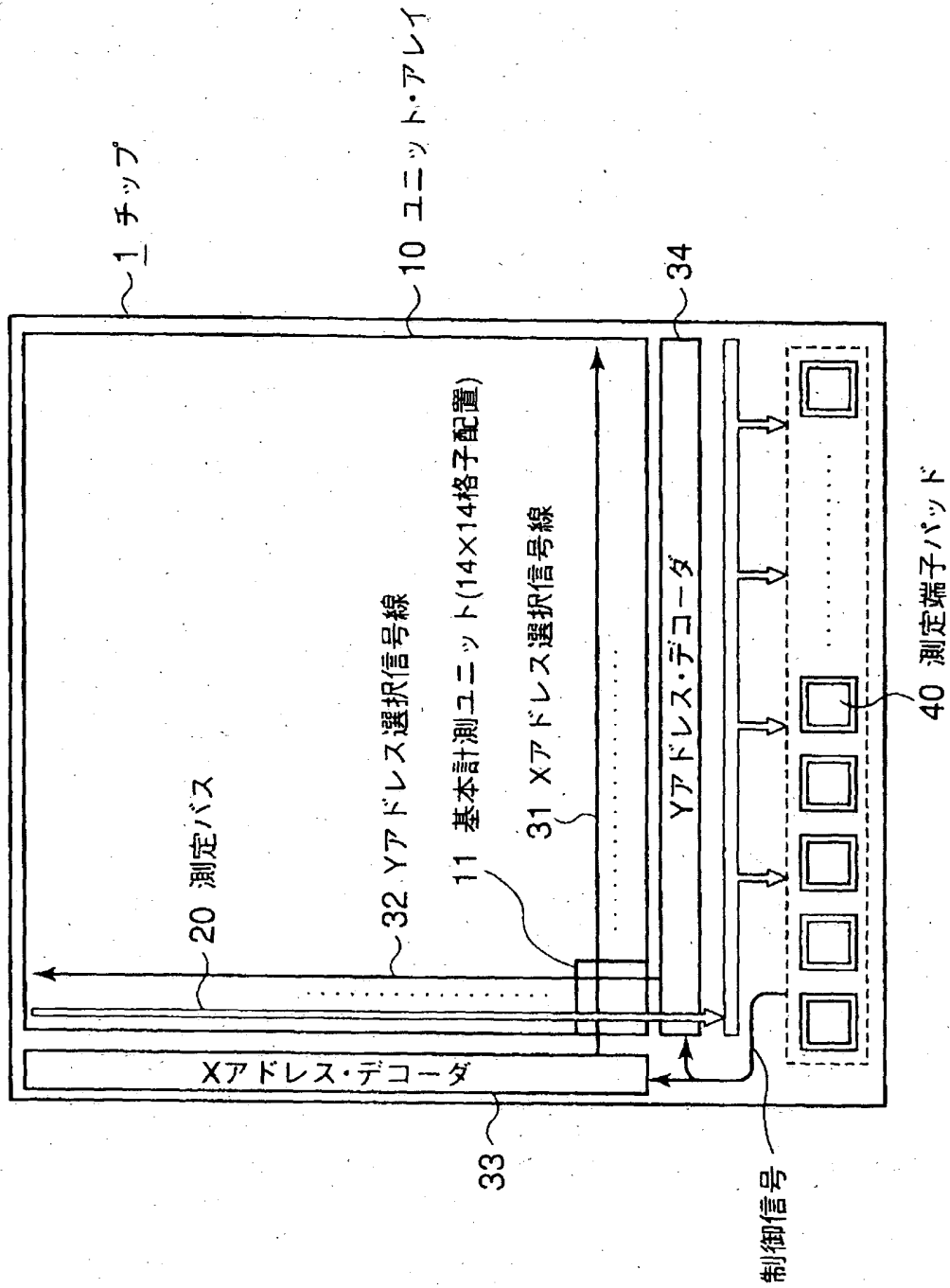
3 4 …Yアドレス・デコーダ

4 0 …測定端子パッド

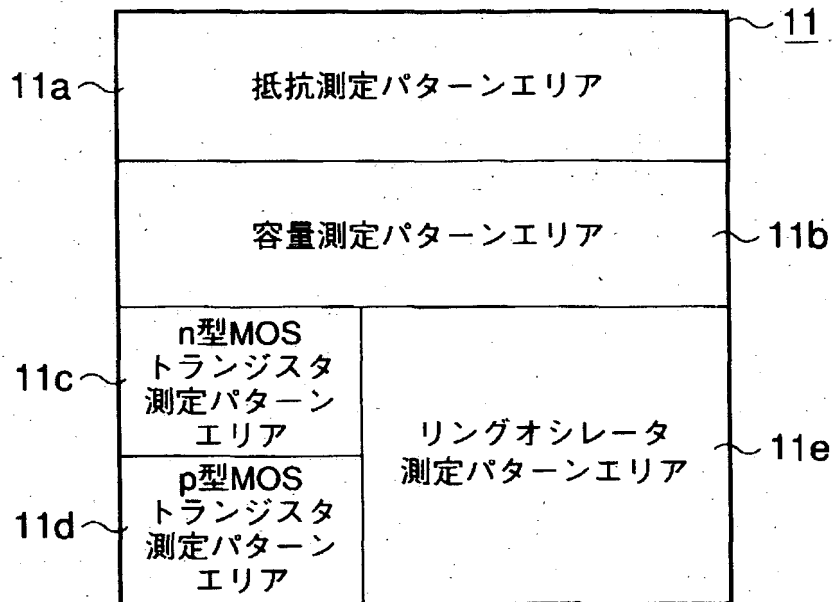
【書類名】

図面

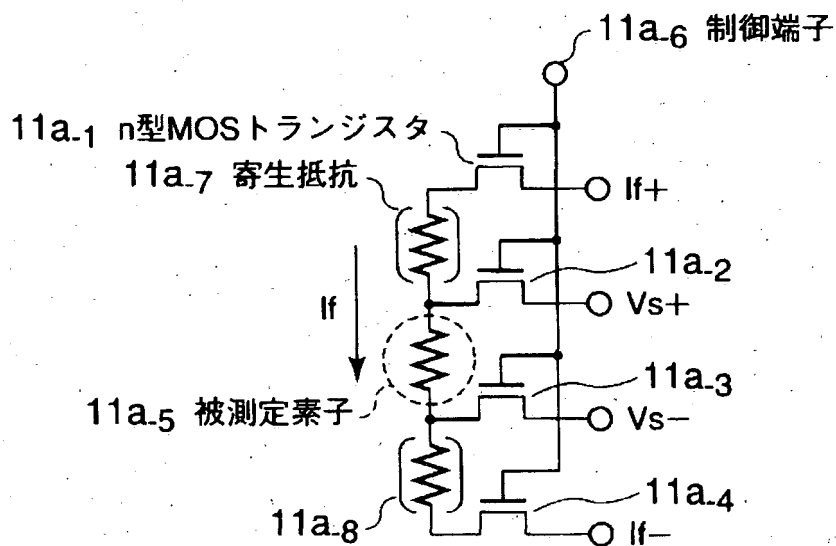
【図1】



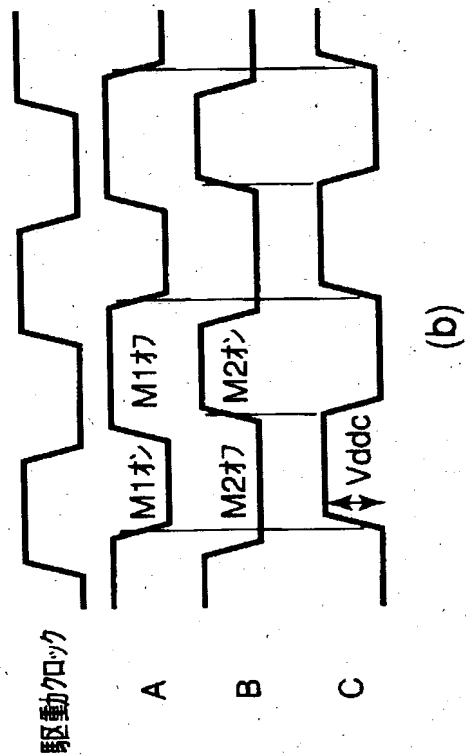
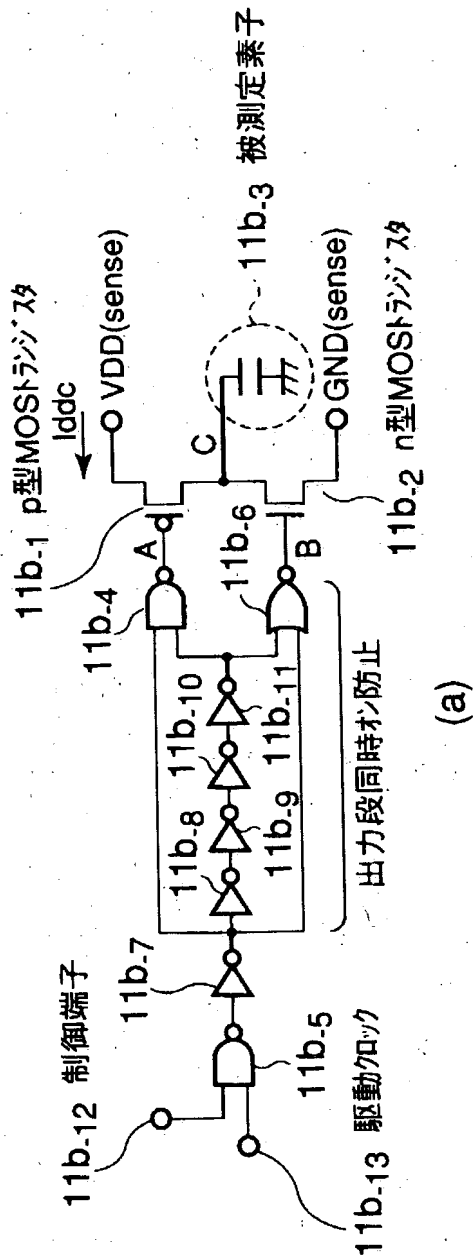
【図2】



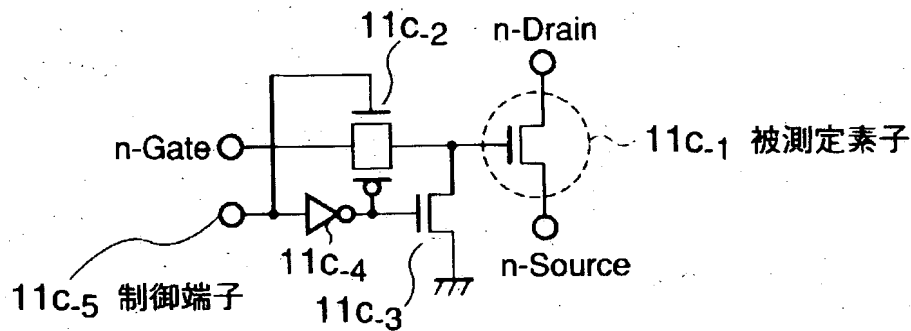
【図3】



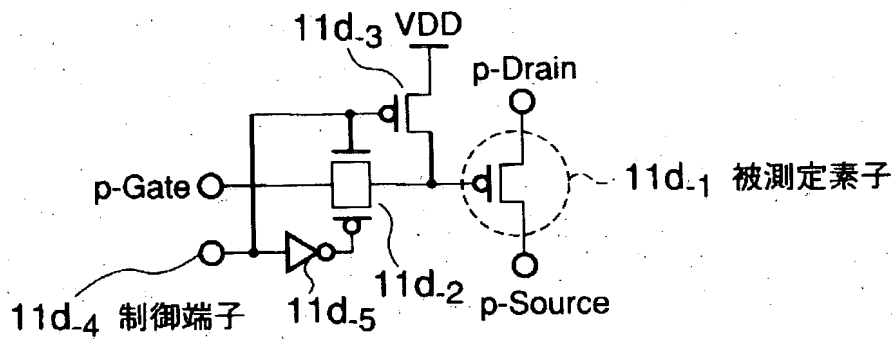
【図 4】



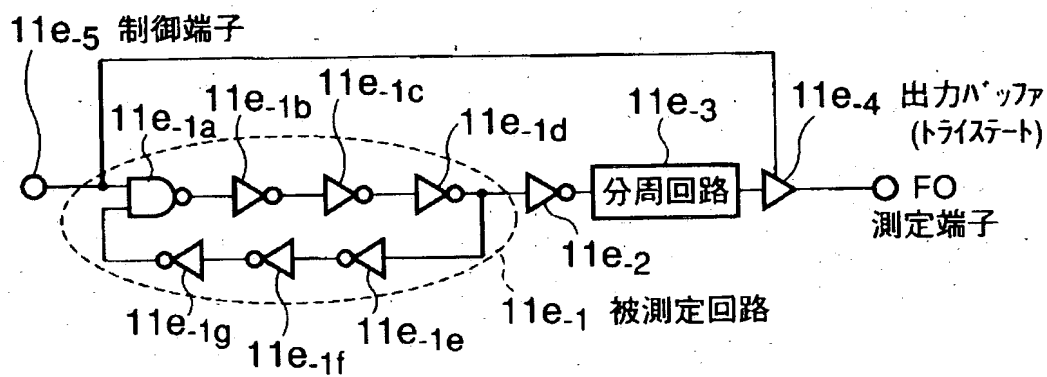
【図 5】



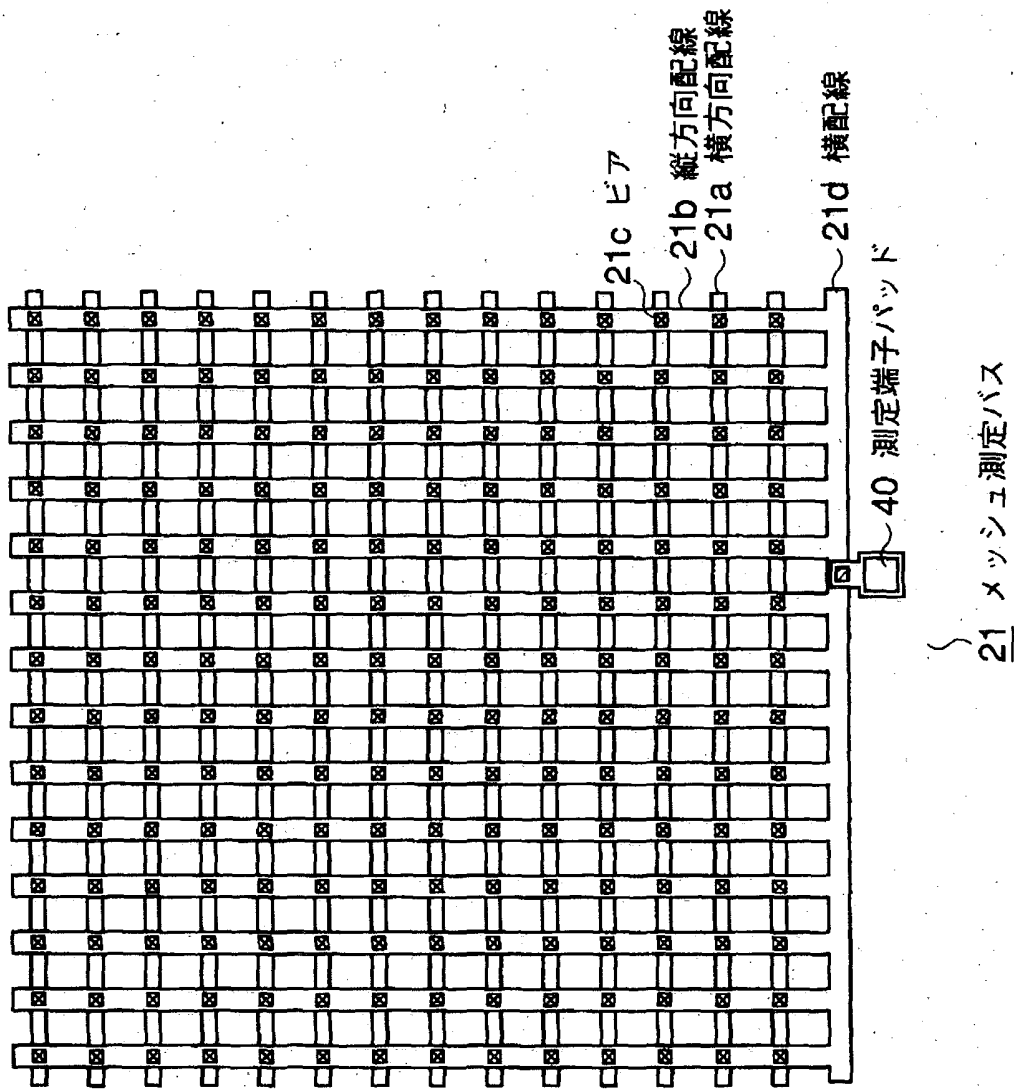
【図 6】



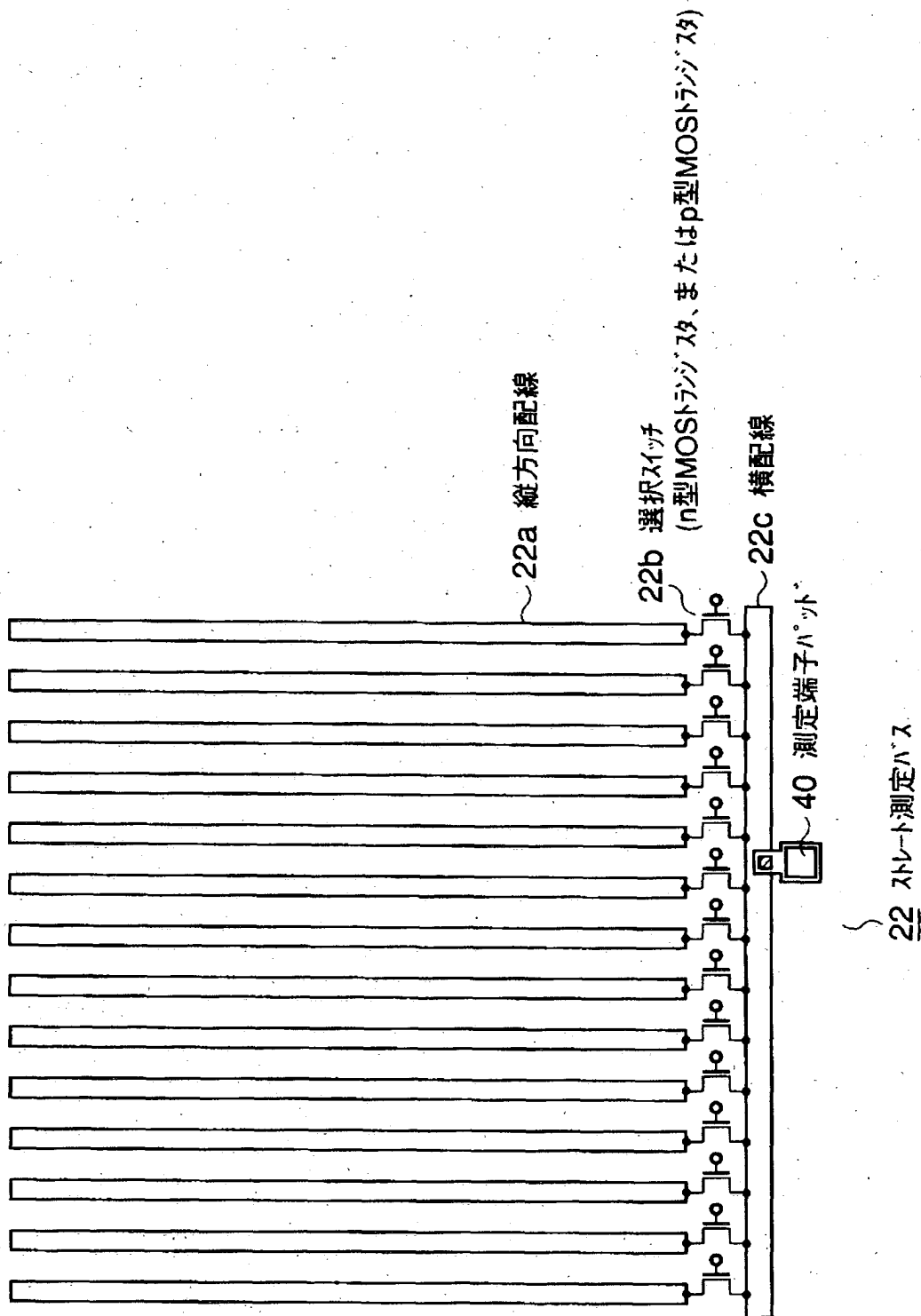
【図 7】



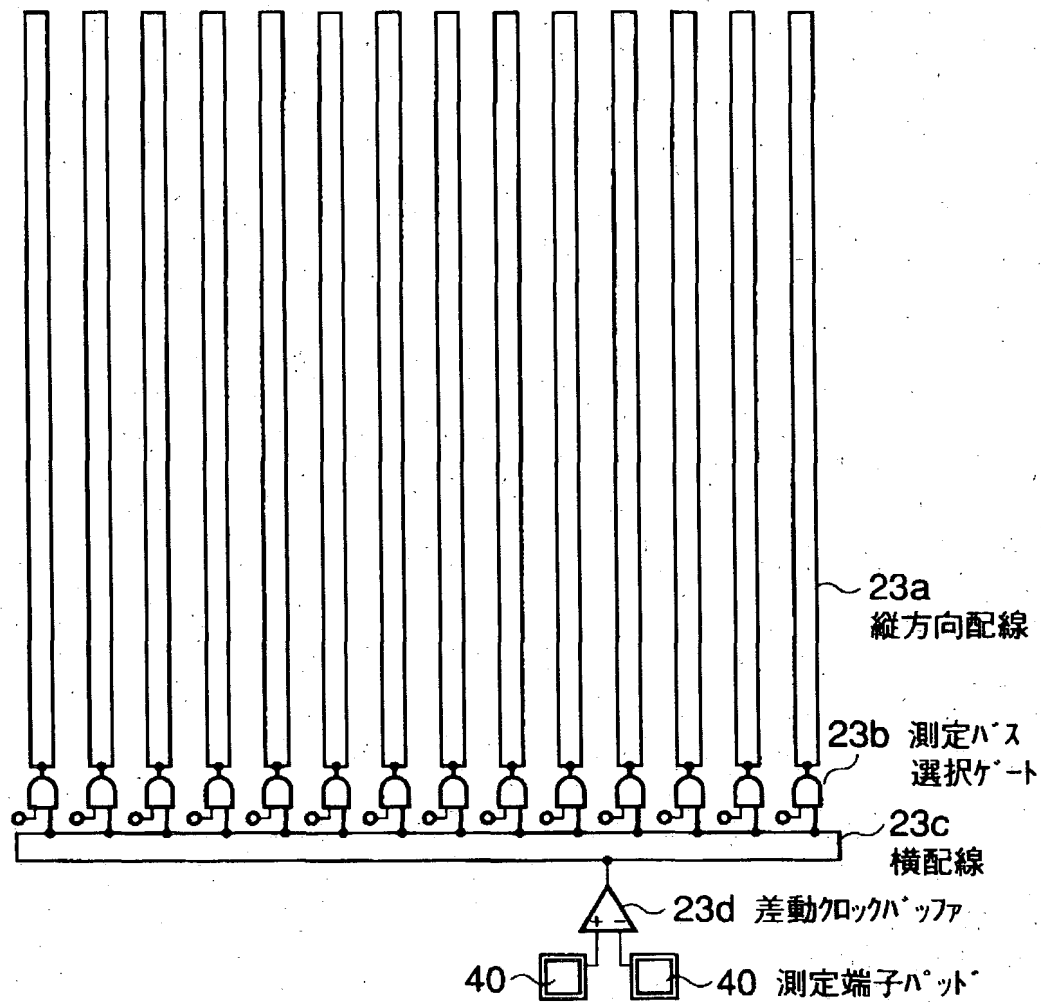
【図8】



【図9】



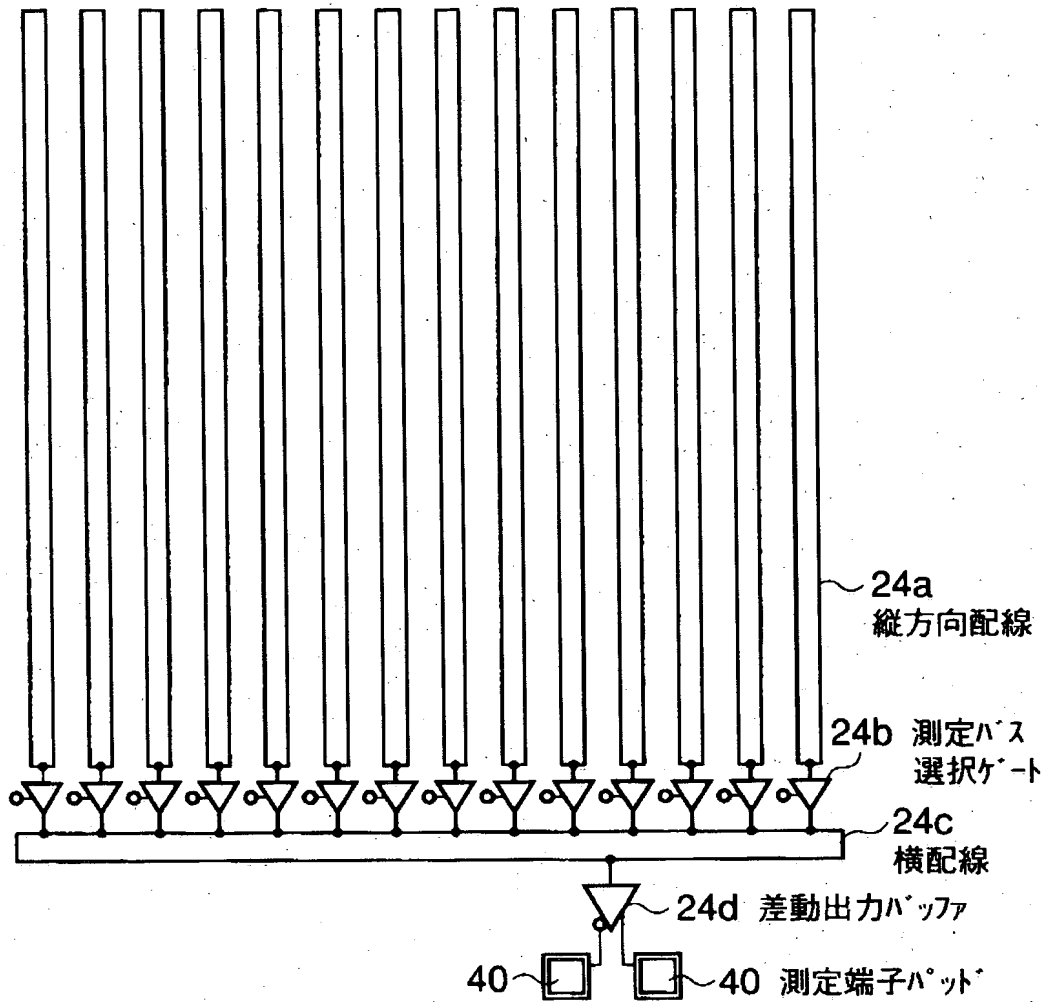
【図 1 0】



23 シフト測定バス(駆動クロック用)

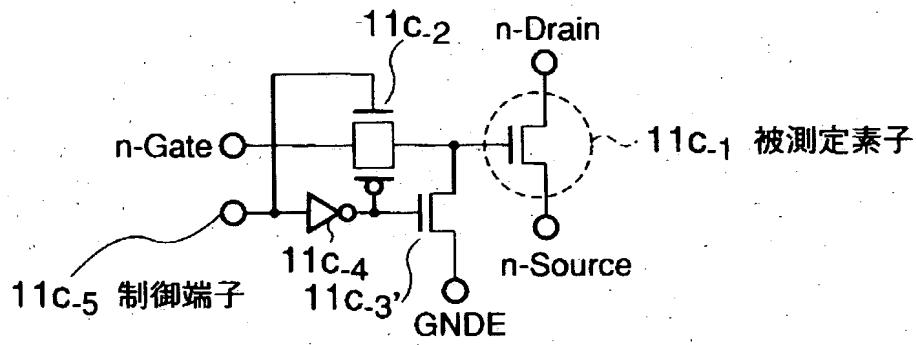


【図 11】

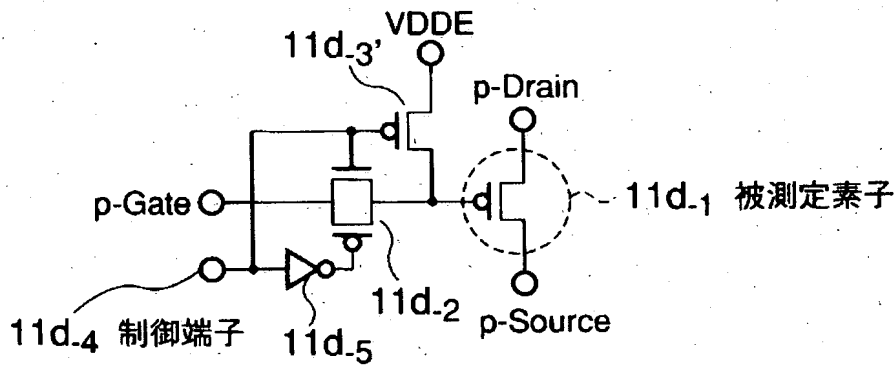


24 ストレート測定バス(リンク・オシレータ測定用)

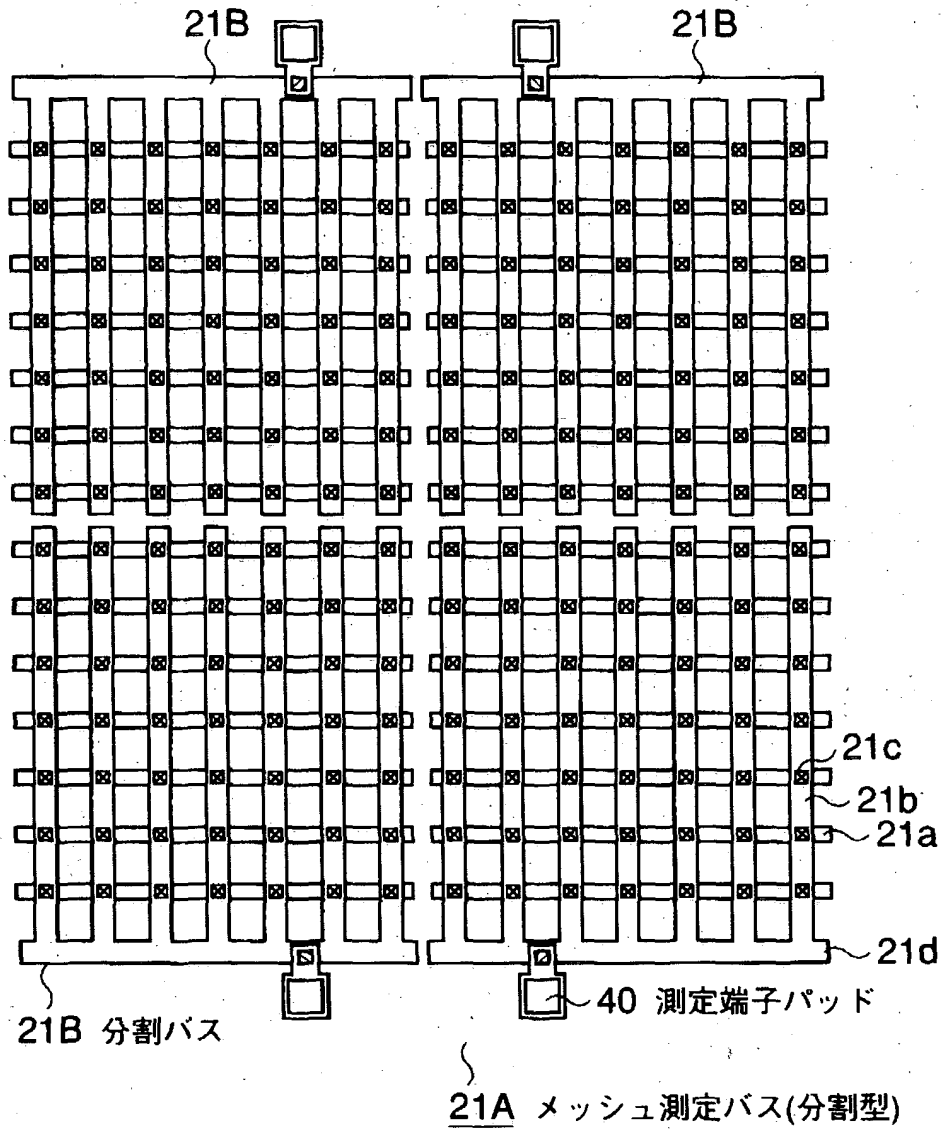
【図 12】



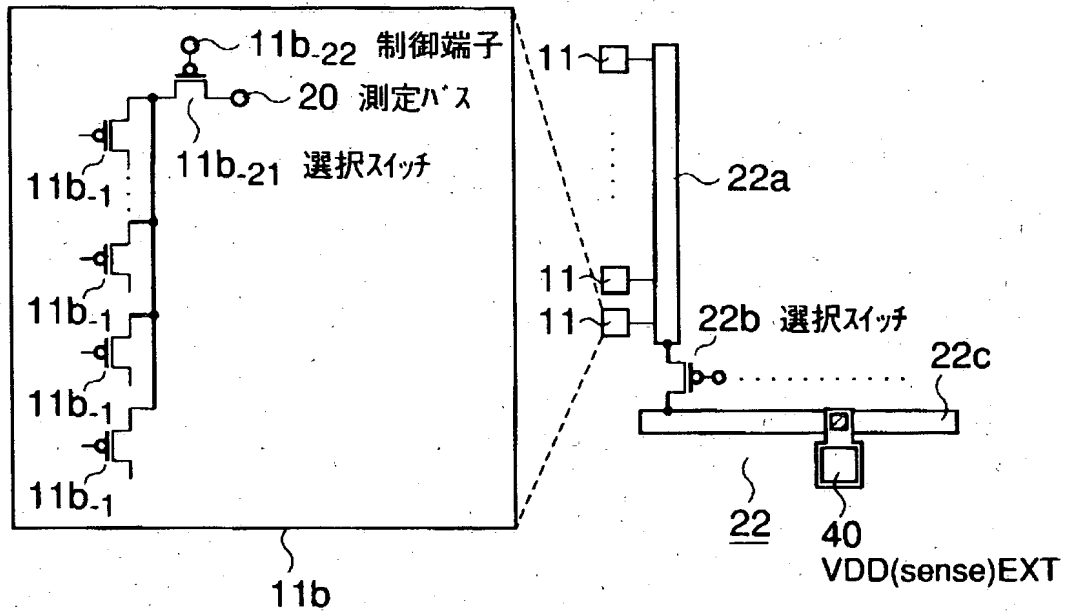
【図 13】



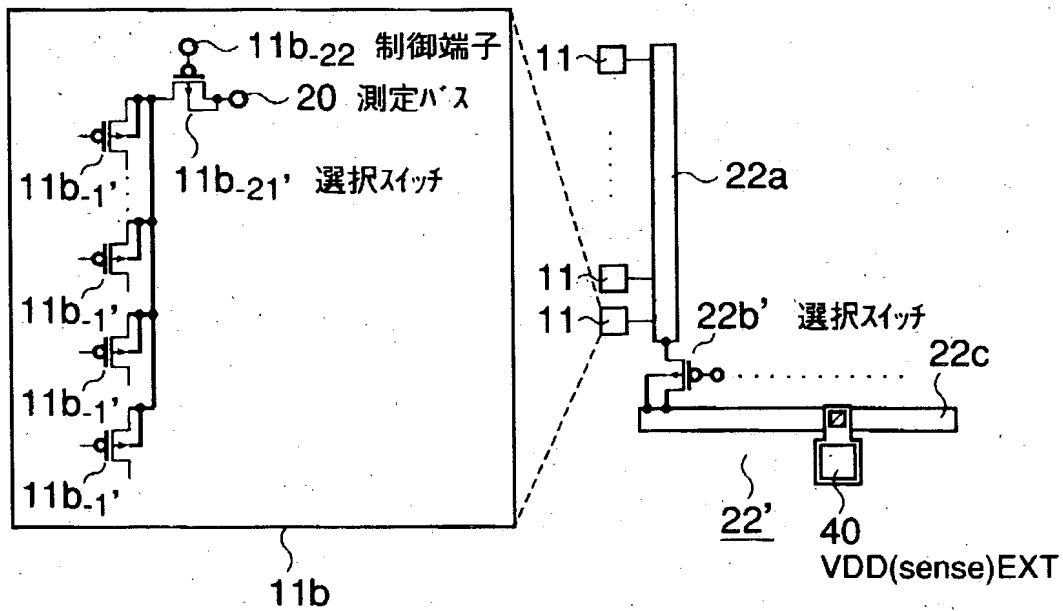
【図14】



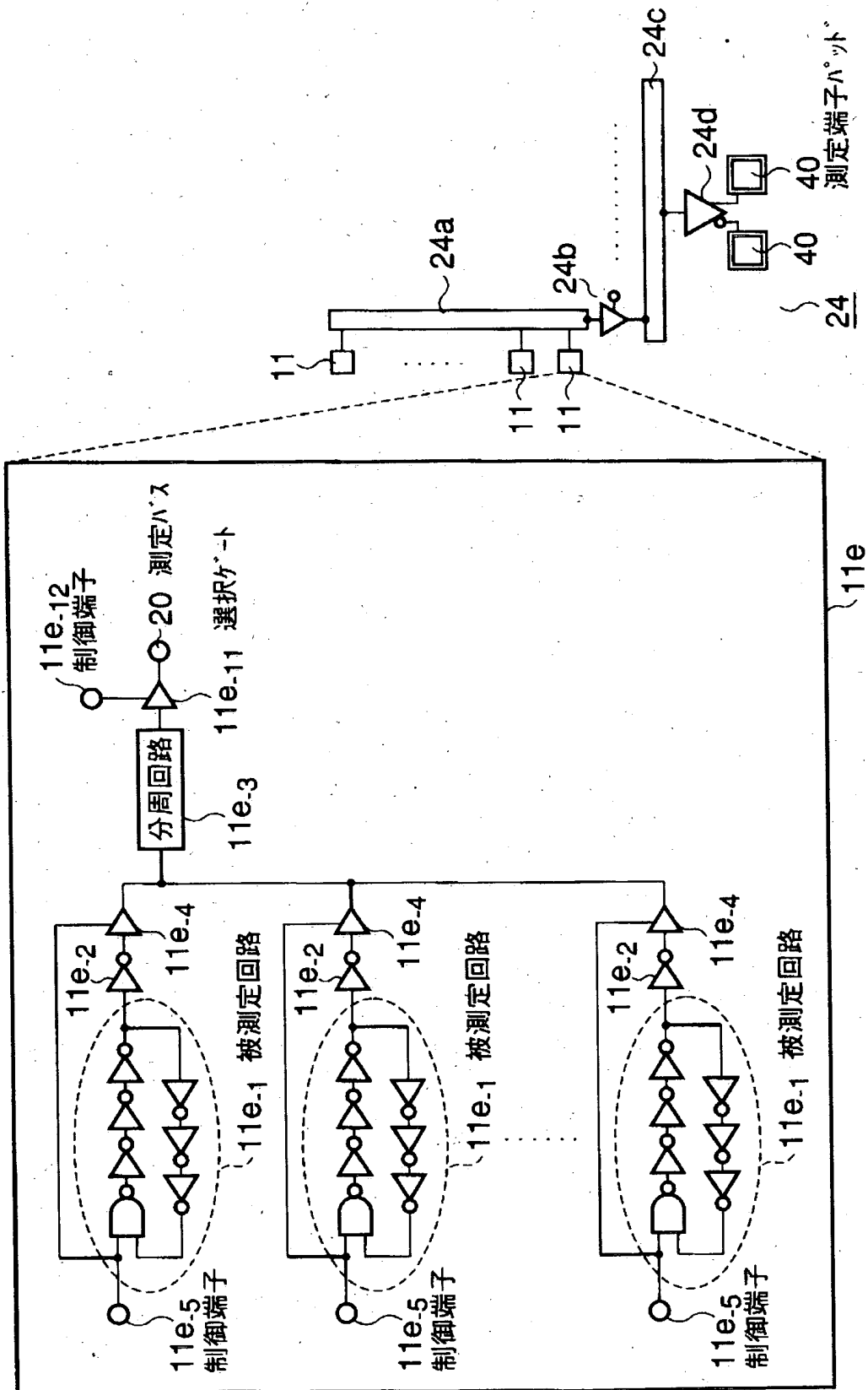
【図15】



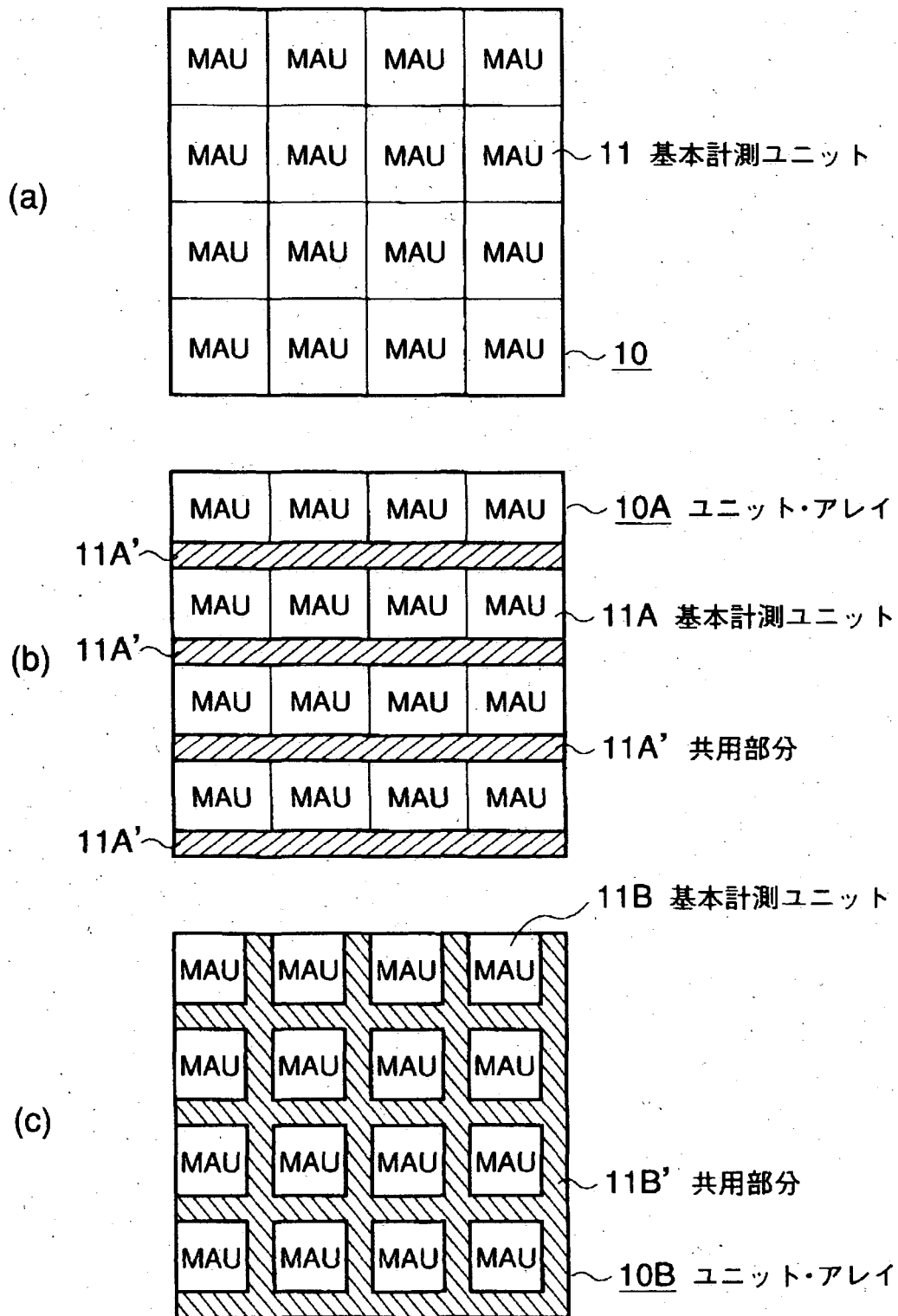
【図16】



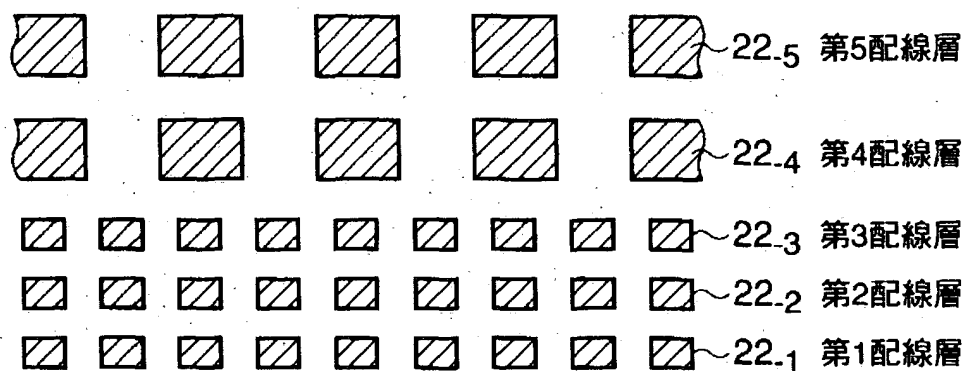
【図 17】



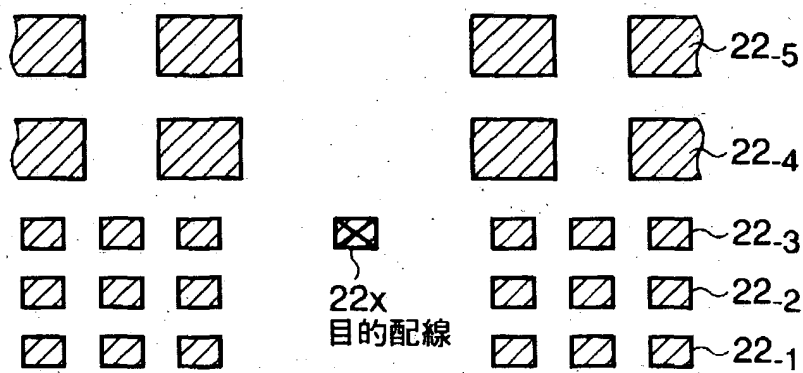
【図18】



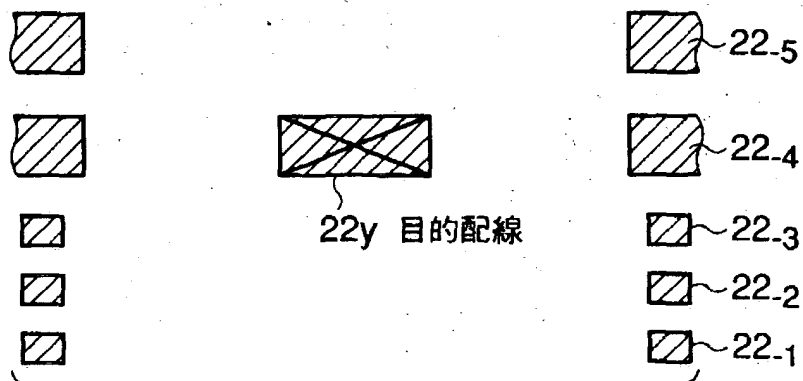
【図 19】



一般的な配線  
(a)



低容量配線  
(b)



低容量・低抵抗配線  
(c)

【書類名】 要約書

【要約】

【課題】本発明は、探針の機械的移動をとみなわずに、電氣的切り替えによって、L S Iにおける素子特性のばらつきや回路特性のばらつきを測定できるようにすることを最も主要な特徴とする。

【解決手段】たとえば、チップ1上に格子状に配置された基本計測ユニット11に、それぞれ、抵抗測定回路、容量測定回路、n型MOSトランジスタ測定回路、p型MOSトランジスタ測定回路およびリングオシレータ測定回路を、数十パターンずつ搭載する。この数十パターンずつ搭載される各測定回路を測定バス20に接続し、測定項目に応じた測定バス・ネットを構成する。その測定バス・ネットの、測定端子パッド40との接続の切り替えを、適宜、X、Yアドレス選択信号線31、32によって電氣的に制御する構成となっている。

【選択図】 図1



特2002-181459

出 願 人 履 歴 情 報

識別番号 [396023993]

1. 変更年月日 2001年 3月23日

[変更理由] 住所変更

住 所 神奈川県横浜市港北区新横浜3丁目17番地2 友泉新横浜ビル6階

氏 名 株式会社半導体理工学研究センター